

© EPDOC / EPO

PN - JP2001195348 A 20010719  
 PD - 2001-07-19  
 PR - JP20000005708 20000106  
 OPD - 2000-01-06  
 TI - MICROCOMPUTER  
 AB - PROBLEM TO BE SOLVED: To provide a microcomputer capable of easily performing accurate time control in a CPU, performing a real time processing by the CPU at all times and minimizing the capacity of a memory for tentatively storing data at the time of data transfer by a DMA controller further. SOLUTION: In the case that the CPU and the DMA controller require the two cycles of clock signals CLK as instruction cycles, the data transfer by the DMA controller is made possible only in the two cycles C1A, C2A, etc., of a first half in the respective four cycles C1, C2, etc., of the clock signals CLK and the CPU is made operable only in the two cycles C1B, C2B, etc., of a second half.  
 IN - MIZUNO SHIYUUDO  
 PA - ROHM CO LTD  
 IC - G06F13/28

© WPI / DERWENT

TI - Microcomputer includes direct memory access controller forwarding data to central processing unit corresponding to specific clock cycles of clock signal which appear at regular intervals  
 PR - JP20000005708 20000106  
 PN - JP2001195348 A 20010719 DW200156 G06F13/28 005pp  
 PA - (ROHL ) ROHM CO LTD  
 IC - G06F13/28  
 AB - JP2001195348 NOVELTY - A DMA controller forwards data to CPU corresponding to specific clock cycles of clock signal which appear at regular intervals.  
 - USE - Microcomputer.  
 - ADVANTAGE - Exact time control in CPU is performed. Reduces memory capacity required for storing data temporarily in case of forwarding data to CPU by using DMA controller. Performs real-time processing due to CPU.  
 - DESCRIPTION OF DRAWING(S) - The figure shows the timing chart in which transition of the condition of the wait signal output and a bus switching signals of CPU and DMA controller. (Drawing includes non-English language text).  
 - (Dwg.2/2)  
 OPD - 2000-01-06  
 AN - 2001-509012 [56]

© PAJ / JPO

PN - JP2001195348 A 20010719  
 PD - 2001-07-19  
 AP - JP20000005708 20000106  
 IN - MIZUNO SHIYUUDO  
 PA - ROHM CO LTD  
 TI - MICROCOMPUTER  
 AB - PROBLEM TO BE SOLVED: To provide a microcomputer capable of easily performing accurate time control in a CPU, performing a real time processing by the CPU at all times and minimizing the capacity of a memory for tentatively storing data at the time of data transfer by a DMA controller further.

**THIS PAGE BLANK (USPTO)**

- SOLUTION: In the case that the CPU and the DMA controller require the two cycles of clock signals CLK as instruction cycles, the data transfer by the DMA controller is made possible only in the two cycles C1A, C2A, etc., of a first half in the respective four cycles C1, C2, etc., of the clock signals CLK and the CPU is made operable only in the two cycles C1B, C2B, etc., of a second half.
- I - G06F13/28

**THIS PAGE BLANK (USPTO)**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-195348

(P2001-195348A)

(43) 公開日 平成13年7月19日 (2001.7.19)

(51) Int.Cl.

G 0 6 F 13/28

識別記号

3 1 0

F I

C 0 6 F 13/28

データベース (参考)

3 1 0 Q 5 B 0 6 1

審査請求 未請求 請求項の数 1 O L (全 5 頁)

(21) 出願番号 特願2000-5708 (P2000-5708)

(22) 出願日 平成12年1月6日 (2000.1.6)

(71) 出願人 000116024

ローム株式会社

京都府京都市右京区西院溝崎町21番地

(72) 発明者 水野 秀導

京都市右京区西院溝崎町21番地 ローム株式会社内

(74) 代理人 100085501

弁理士 佐野 静夫

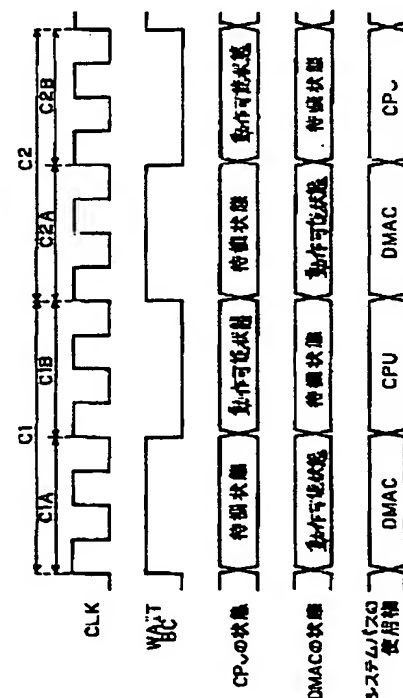
Fターム (参考) 5B061 DD09 DD11 DD14 RR03

(54) 【発明の名称】 マイクロコンピュータ

(57) 【要約】

【課題】 CPUでの正確な時間制御を容易に行うことができ、また、CPUによる実時間処理を常時行うことができ、さらに、DMAコントローラによるデータ転送の際にデータを一時的に格納するためのメモリの容量を最小にすることができるマイクロコンピュータを提供する。

【解決手段】 CPU及びDMAコントローラが命令サイクルとしてクロック信号CLKの2サイクルを要する場合、クロック信号CLKの各4サイクルC1、C2、…内の前半の2サイクルC1A、C2A、…でのみDMAコントローラによるデータ転送を可能とし、また、後半の2サイクルC1B、C2B、…でのみCPUを動作可能とする。



(2) 001-195348 (P2001-195348A)

## 【特許請求の範囲】

【請求項1】 中央処理装置を介することなくデータ転送を行うDMAコントローラを内蔵したマイクロコンピュータにおいて、

一定の時間間隔で存在する一定の時間長を有する特定の区間では中央処理装置が待機状態となるとともに、該特定の区間でのみDMAコントローラによるデータ転送が可能となることを特徴とするマイクロコンピュータ。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】中央処理装置（以下、「CPU」と略記する）を介することなくデータ転送を行うDMAコントローラを備えたマイクロコンピュータに関するものである。

## 【0002】

【従来の技術】DMAコントローラによるデータ転送の方式としては、DMAコントローラがCPUに対してホールド要求等を出して、システムバスの使用権をCPUに放棄させ、一連のデータ転送が終了するまでシステムバスをDMAコントローラが使用するバースト方式と、CPUがシステムバスを使用しない期間にDMAコントローラによるデータ転送を行うサイクルスチール方式とが知られている。

## 【0003】

【発明が解決しようとする課題】しかしながら、いずれの方式においても、DMAコントローラによるデータ転送を行う際には、CPUの動作速度が不規則に変化するので、CPUでは時間制御を正確に行うことが困難であるとともに、実時間処理を行うことはできなかった。また、DMAコントローラによるデータ転送の観点からすると、CPUによりバスが支配されている期間が不定であるため、CPUによりバスが長期間使用された場合に備えて、データを一時的に格納するためのメモリの容量をある程度大きくしなければならなかった。

【0004】そこで、本発明は、CPUでの正確な時間制御を容易に行うことができ、また、CPUによる実時間処理を常時行うことができ、さらに、DMAコントローラによるデータ転送の際にデータを一時的に格納するためのメモリの容量を最小にすることができるマイクロコンピュータを提供することを目的とする。

## 【0005】

【課題を解決するための手段】上記の目的を達成するため、本発明では、中央処理装置を介することなくデータ転送を行うDMAコントローラを内蔵したマイクロコンピュータにおいて、一定の時間間隔で存在する一定の時間長を有する特定の区間では中央処理装置が待機状態となるとともに、該特定の区間でのみDMAコントローラによるデータ転送が可能となるようにしている。

【0006】この構成により、DMAコントローラによるデータ転送の有無にかかわらず、CPUは一定の動作

速度となるとともに、見かけ上、この一定の動作速度で常時動作することができるようになる。また、DMAコントローラは、CPUの動作の影響を受けることなく、見かけ上、一定の動作速度でデータ転送を常時行うことができるようになる。

## 【0007】

【発明の実施の形態】以下に、本発明の実施形態を図面を参照しながら説明する。図1は本発明の一実施形態であるマイクロコンピュータ100のブロック図である。1はCPU、2はDMAコントローラ、3は調停回路、4はマルチプレクサ、5はRAM、6はROM等の他の周辺回路、7はUSBのシリアルインターフェースエンジン（SIE）、8はデータを一時待避させるためのキュー、9はキューの制御回路、10はFIFOメモリ、11はフロッピーディスクコントローラ（以下、「FDC」と略記する）である。

【0008】CPU1、DMAコントローラ2、及び、調停回路3には共通のクロック信号CLKが同期クロックとして与えられている。尚、本実施形態では、CPU1では同期クロックの2サイクルが1つの命令サイクルとなり、また、DMAコントローラ2によるデータ転送は同期クロックの2サイクルで1回行われるものとする。また、DMAコントローラ2は、第1チャンネルと第2チャンネルとの2チャンネル構成となっている。

【0009】USBホスト200から受信したデータはシリアルインターフェース7を介してキュー8に書き込まれる。また、USBホスト200へのデータはキュー8に書き込まれた後、シリアルインターフェース7を介して送信される。制御回路9はキュー8を制御するとともに、USBホスト200とRAM5との間でのデータ転送を行う際にはDMAコントローラ2にリクエスト信号Tx/Rx-REQを送信する。DMAコントローラ2はリクエスト信号Tx/Rx-REQを受けると、第1チャンネル側がキュー8とRAM5との間でのデータ転送を開始する。尚、キュー8とRAM5との間で転送されるデータはFIFOメモリ10に一時的に格納されるようになっている。

【0010】FDC11は、フロッピーディスクドライブ（以下、「FDD」と略記する）300を制御するとともに、FDD300とRAM5との間でのデータ転送を行う際にはDMAコントローラ2にリクエスト信号FDC-REQを送信する。DMAコントローラ2はリクエスト信号FDC-REQを受けると、第2チャンネル側がFDC11とRAM5との間でのデータ転送を開始する。

【0011】調停回路3は、ウェイト信号WAITをCPU1及びDMAコントローラ2に与えるとともに、マルチプレクサ4にバス切り替え信号BCを与える。CPU1はウェイト信号WAITがハイレベルであるときに待機状態となり、一方、DMAコントローラ2はウェイ

:(3) 001-195348 (P2001-195348A)

ト信号WAITがローレベルであるときに待機状態となる。

【0012】マルチプレクサ4は、システムバスの使用権をCPU1に与えるのか、それとも、DMAコントローラ2に与えるのかを調停回路3からのバス切り替え信号BCに応じて切り替える。具体的には、バス切り替え信号BCがハイレベルであるときにはDMAコントローラ2が接続されたバスであるDMAバスBUS-DMAを、一方、バス切り替え信号BCがローレベルであるときにはCPU1が接続されたバスであるCPUバスBUS-CPUを、システムバスSYS-BUSに接続する。

【0013】調停回路3から出力される各信号のタイミングチャートを図2に示す。ウェイト信号WAIT及びバス切り替え信号BCは、クロック信号CLKの各4サイクルC1、C2、…毎に前半の2サイクルC1A、C2A、…ではハイレベルとなり、一方、後半の2サイクルC1B、C2B、…ではローレベルとなる。

【0014】以上より、CPU1及びDMAコントローラ2の状態、並びに、システムバスSYS-BUSの使用権は図2に示すように推移する。すなわち、クロック信号CLKの各4サイクルC1、C2、…内の前半の2サイクルC1A、C2A、…では、CPU1が待機状態、DMAコントローラ2が動作可能状態になるとともに、システムバスSYS-BUSの使用権がDMAコントローラ2に与えられ、一方、後半の2サイクルC1B、C2B、…では、CPU1が動作可能状態、DMAコントローラ2が待機状態になるとともに、システムバスSYS-BUSの使用権がCPU1に与えられる。

【0015】したがって、クロック信号CLKの各4サイクルC1、C2、…内の前半の2サイクルC1A、C2A、…でのみDMAコントローラ2によるデータ転送が可能となり、また、後半の2サイクルC1B、C2B、…でのみCPU1が動作可能となる。

【0016】これにより、DMAコントローラ2によるデータ転送の有無にかかわらず、CPU1はクロック信号CLKの4サイクルが1つの命令サイクルとなる一定の動作速度となるので、CPU1では正確な時間制御を容易に行うことができるようになる。また、CPU1は、見かけ上、上記一定の動作速度で常時動作することができるので、実時間制御を常時行うことができるようになる。

【0017】また、DMAコントローラ2によるデータ転送を、CPU1の動作の影響を受けることなく、見かけ上、クロック信号CLKの4サイクルでデータ転送を1回行う一定の転送速度で常時行うことができるようになる。

【0018】さて、従来のシステムでは、USBホスト200とRAM5との間でのDMAコントローラ2によるデータ転送を行う際には、CPU1によるFDD30

0の実時間処理など、より順位の高い処理でシステムバスSYS-BUSがロックされている期間に、キュー8のオーバーフローやアンダーフローを起こさないようにするために、データを一時的に格納するためのFIFOメモリ10を8～128バイトの容量としておき、FIFOメモリ10がフルになると一括で転送するようになっていた。

【0019】これに対して、本実施形態のシステムでは、クロック信号CLKの周波数を $f$  [MHz]とすると、DMAコントローラ2によるデータ転送は、リードとライトが同時に進行する場合には、 $f/2$  [bps]のデータ転送速度で常時確保されている。USB1.1の規格では、アップ/ダウンのビットストリームは最大で12 [Mbps]であるので、クロック信号CLKの周波数 $f$ を24 [MHz]以上にしておけば、FIFOメモリ10の容量を最小の2バイトとすることができる。

【0020】FDD300とRAM5との間でのデータ転送は、通常、DMAコントローラ2の制御により行われる。FDD300のデータ転送速度を1 [Mbps]、FIFOメモリを16段とすると、FDD300とRAM5との間でのビットストリームは62.5 [kbps]である。これは、上述したように、USB1.1の規格に対応させてクロック信号CLKの周波数を設定しておけば、十分処理が可能な速度である。

【0021】尚、上記実施形態では、CPU1、DMAコントローラ2、及び、調停回路3に共通のクロック信号CLKを同期クロックとして与えるようになっているが、このようにする代わりに、DMAコントローラ2にはクロック信号CLKの周波数を $n$ 倍にして同期クロックとして与えることによって、DMAコントローラ2によるデータ転送速度を向上させるようにしてもよい。例えば、 $n=2$ としておけば、クロック信号CLKの各4サイクル毎にDMAコントローラ2によるデータ転送を2回行うことができるので、DMAコントローラ2にクロック信号CLKをそのまま同期クロックとして与えた場合におけるバースト方式でのデータ転送速度を得ることができる。

【0022】また、本発明は上記実施形態に限定されるものではなく、CPUが1つの命令サイクルに要する同期クロックのサイクル数の整数倍に相当する一定の時間間隔で存在する、DMAコントローラによる1回のデータ転送に要する同期クロックのサイクル数の整数倍に相当する一定の時間長を有する特定の区間ではCPUが待機状態になるとともに、該特定の区間でのみDMAコントローラによるデータ転送が可能となるようになっていればよい。また、外部バスマスタを使用する場合等、CPU及びDMAコントローラが待機状態になるときは、システムバスを用いない処理を実行していても構わない。

【0023】

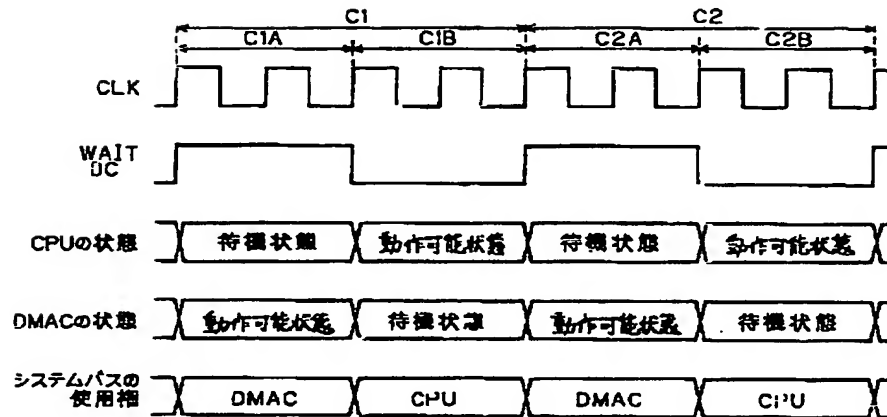
【図2】 調停回路から出力されるウェイト信号及びバス切り替え信号、CPU及びDMAコントローラの状

1	CPU
2	DMAコントローラ
3	調停回路
4	マルチプレクサ
5	RAM
6	他の周辺回路
7	シリアルインターフェース
8	キュー
9	制御回路
10	FIFOメモリ
11	フロッピーディスクコントローラ
100	マイクロコンピュータシステム
200	USBホスト
300	フロッピーディスクドライブ



:(5) 001-195348 (P2001-195348A)

【図2】



**THIS PAGE BLANK (USPTO)**